

Etude de la vérification par observateurs de la consistance des états fonctionnels d'un système embarqué et des états induits par une stratégie de gestion de puissance.

Lieu du stage : Laboratoire LEAT, Bâtiment Forum, Campus SophiaTech, Sophia-Antipolis.

Gratification et durée : Le stage bénéficie d'une gratification de stage de 6 mois.

Encadrement : Les responsables du stage sont Michel Auguin (DR CNRS) et Daniel Gaffé (McF UNS)

Contacts : michel.auguin@unice.fr Daniel.GAFFE@unice.fr

Sujet du stage :

Une problématique commune à de nombreux systèmes embarqués concerne l'optimisation de leur consommation d'énergie en s'assurant que ces systèmes fournissent la fonctionnalité attendue suivant des contraintes de temps fixées par les spécifications. Or, la réduction de la consommation d'énergie passe par la réduction (voire l'annulation) des tensions d'alimentation de parties du système (les parties non utilisées à un instant donné) et la réduction de la fréquence d'horloge (voire l'annulation) des composants du système en profitant de fait que le niveau de performance exigé du système varie dans le temps. Ainsi il est possible de structurer un système pour contrôler dynamiquement tensions d'alimentation et fréquences pour adapter au mieux la consommation de puissance en fonction du niveau de performance souhaité. Cependant introduire cette structure orientée gestion de puissance (le système est décomposé en domaines d'horloge et en domaines de puissance) implique de la contrôler correctement par rapport à l'évolution de l'activité fonctionnelle du système. De plus, cette structure introduit des délais dus aux transitions sur les tensions et sur les fréquences. Ces délais peuvent être conséquents, plusieurs centaines de microsecondes peuvent par exemple être nécessaires pour changer simultanément une tension et une fréquence sur un composant avant que ce dernier ne soit à nouveau utilisable.

Le problème est alors de se donner les moyens de vérifier la consistance/cohérence entre les décisions de contrôle des domaines d'horloge et des domaines de puissance et les états fonctionnels du système. Un exemple simple : si la tension d'alimentation d'un domaine de puissance est mise à zéro, il n'est plus possible d'activer les composants de ce domaine pour exécuter une quelconque fonction. Ainsi, le sujet de stage proposé porte sur l'étude d'une approche de vérification de cette consistance/cohérence entre états de la structure de gestion de puissance et états fonctionnels. Cette approche de vérification pourra être basée sur la définition d'observateurs développés dans un langage synchrone adapté, observateurs qui sont alors introduits dans le système pour lever une alerte si un défaut de cohérence est observé. L'étude du langage synchrone ainsi que le choix de l'outil de preuves symboliques les mieux adaptés pour cet objectif font partie du travail bibliographique à réaliser.

Pour réaliser cette étude on considèrera un système décrit en SystemC-TLM qui associe une architecture fonctionnelle et une structure de gestion de puissance. Ce système servira à la fois d'exemple support à l'étude et de validation des travaux réalisés. La vérification consistera alors à simuler simultanément en SystemC-TLM l'ensemble : architecture fonctionnelle, structure de gestion de puissance, ensemble des observateurs développés.

Notons que ce sujet est très peu traité et, suivant les résultats obtenus, peut être très largement donner lieu à publication dans une conférence internationale.

Références :

- [1] R Mukherjee et al., Formal Verification of Hardware / Software Power Management Strategies, 26th International Conference on VLSI Design, 2013.
- [2] A. Hazra, S. Goyal, P. Dasgupta, and A. Pal, "Formal Verification of Architectural Power Intent," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 17 January 2012.
- [3] Aritra Hazra et al., POWER-TRUCTOR: An Integrated Tool Flow for Formal Verification and Coverage of Architectural Power Intent, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (Volume: 32, Issue: 11, Nov. 2013).
- [4] F. Mischkalla and W. Mueller, "Architectural Low-Power Design Using Transaction-Based System Modeling And Simulation", Int. Conference on Embedded Computer Systems: Architectures, Modeling, and Simulation (SAMOS), 2014.
- [5] H. Affes, M. Auguin, F. Verdier, A. Pégatoquet, Methodology for inserting Clock-Management strategies in Transaction-Level Models of System-on-Chips, accepté à FDL'2015, Forum on specification & Design Languages, September 14-16, Barcelona, Spain, 2015
- [6] Ons Mbarek, Alain Pegatoquet, Michel Auguin, Using unified power format standard concepts for power-aware design and verification of systems-onchip at transaction level. IET Circuits, Devices & Systems 6(5): 287-296 (2012)