

Proposition de Stage

Titre : Etude et développement en SystemC-TLM d'un modèle de consommation de puissance du processeur I.MX 8 de NXP.

Niveau : Etudiants de dernière année d'Ecole d'Ingénieurs ou Master 2

Durée : 6 mois

Mots-clés : Hardware/software architecture, Low Power, Transactional modeling, SystemC-TLM

Responsable : Michel Auguin (Directeur de Recherche Leat), Céline Maurel (SATT Sud-Est)

Contact : michel.auguin@unice.fr

Lieu du stage : Le stage se déroulera à la fois au LEAT et à NXP situés à Sophia Antipolis

Gratification de stage : Le stage est financé par la SATT-SE

Sujet de stage :

La consommation de puissance et d'énergie est une contrainte toujours très présente lors de la conception de systèmes embarqués ou de systèmes sur puce (*System on Chip*). Développer une stratégie de réduction de la puissance consommée a nécessairement un impact sur les performances du système. Ainsi, pour garantir un niveau de performance correspondant aux besoins applicatifs, il est nécessaire de pouvoir évaluer dans les premières étapes de la conception du système quel sera l'impact de cette stratégie sur les performances et quantifier la réduction obtenue sur l'énergie et la puissance consommée par cette stratégie.

Le LEAT de l'Université Côte d'Azur a développé une librairie d'objets (PwClkArch) qui facilite la modélisation et la simulation au niveau transactionnel (TLM) de l'architecture d'un système embarqué/intégré incluant des mécanismes de gestion de puissance dissipée. C'est une librairie C++ basée sur la librairie SystemC-TLM 2.3.1. Elle permet de valider une stratégie de gestion d'énergie au niveau du système complet. La méthodologie de modélisation basée sur cette librairie suit le schéma de spécification de *power intent* développé dans le standard UPF (IEEE 1801) en séparant le plus possible le modèle de performance du modèle orienté consommation de puissance.

La société NXP présente sur Sophia Antipolis souhaiterait évaluer cette librairie PwClkARCH sur un de leur cas d'étude construit à partir de la plateforme I.MX 8. L'objectif est alors de développer un modèle de consommation de puissance de ce cas d'étude, compatible avec le niveau transactionnel, puis d'évaluer conjointement les performances de ce système et sa consommation de puissance. L'architecture utilisée dans le cas d'étude de NXP est composée d'une interconnexion entre différents composants ayant des comportements dépendants du scénario applicatif considéré. Ainsi, la

corrélation des résultats de performances et de puissance dissipée obtenus par simulation sur les scénarios considérés avec les mesures effectuées par NXP sur le système réel permettra d'évaluer la pertinence de l'utilisation de cette librairie pour ce type de travaux.

Connaissances requises : Architectures matérielles, C++, SystemC

Connaissances souhaitées : si SystemC n'est pas maîtrisé : VHDL ou Verilog et expérience en C++.

Références :

[1] F. Mischkalla, W. Mueller, "Advanced SoC virtual prototyping for system-level power planning and validation", 2014 24th International Workshop on Power and Timing Modeling Optimization and Simulation (PATMOS), IEEE, pp. 112-119, 2014.

[2] H. Affes, A. B. Ameer, M. Auguin, F. Verdier, C. Barnes, "An ESL framework for low power architecture design space exploration", 2016 IEEE 27th International Conference on Application-specific Systems Architectures and Processors (ASAP), IEEE, pp. 227-228, 2016.

[3] Ons Mbarek, Alain Pegatoquet, Michel Auguin, A Methodology for Power-Aware Transaction-Level Models of Systems-on-Chip Using UPF Standard Concepts. PATMOS 2011, 226-236